

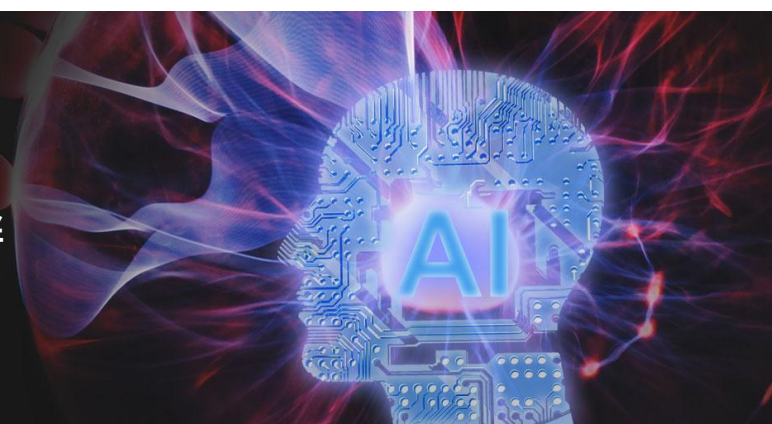
AIV3X智能计算卡 产品手册

Date 2024-09-26



品立科技 | 昇腾APN合作伙伴

PLink-AI | Ascend APN Partner



北京品立科技有限责任公司保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

 **注意**

您购买的产品、服务或特性等应受品立科技商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，**本公司对本文档内容不做任何明示或暗示的声明或保证。**

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

了解更多产品 请扫码



官网



公众号



视频号

北京品立科技有限责任公司

网址：<http://www.plink-ai.com/>

地址：北京市海淀区上地三街金隅嘉华大厦C座1108室

联系电话：+86-010-62962285/400-127-3302

AIV3X智能计算卡 产品手册修订记录

修订版	修订日期	修订内容	使用硬件版本
V 1.0	2024-07-02	创建文档	V 1.0
V 2.0	2024-09-26	更新CPU信息	V 2.0

产品硬件修订历史

硬件版本	修订日期	修订内容
V 1.0	2024-07-02	初始版本



电子元件和电路对静电放电很敏感，虽然本公司在设计电路板卡产品时会板卡上的主要接口做防静电保护设计，但很难对所有元件及电路做到防静电安全防护。因此在处理任何电路板组件时，建议遵守防静电安全保护措施。

防静电安全保护措施包括但不限于以下几点：

1. 运输、存储过程中应将板卡放在防静电袋中，直至安装部署时再拿出板卡。
2. 在身体接触板卡之前应将身体内寄存的静电释放掉：佩戴放电接地腕带。
3. 仅在静电放电安全区域内操作电路板卡。
4. 避免在铺有地毯的区域搬移电路板。
5. 通过板边接触来避免直接接触板卡上的电子元件。

产品概述 Introduction

AIV3X智能计算卡基于昇腾310P芯片设计的高性能边缘推理模组，算力最高可达176TOPS@INT8。CPU处理器为16核，CPU主频1.9GHz；AI处理器为10核，主频1.08GHz；其视频编解码主要指标如下：

支持24路1080P@30fps/3路4K@60fps H.264/H.265 视频编码

支持96路1080P@ 30fps/12路4K@60fps H.264/H.265 视频解码

支持4K@384fps (FHD@2048fps) JPEG解码

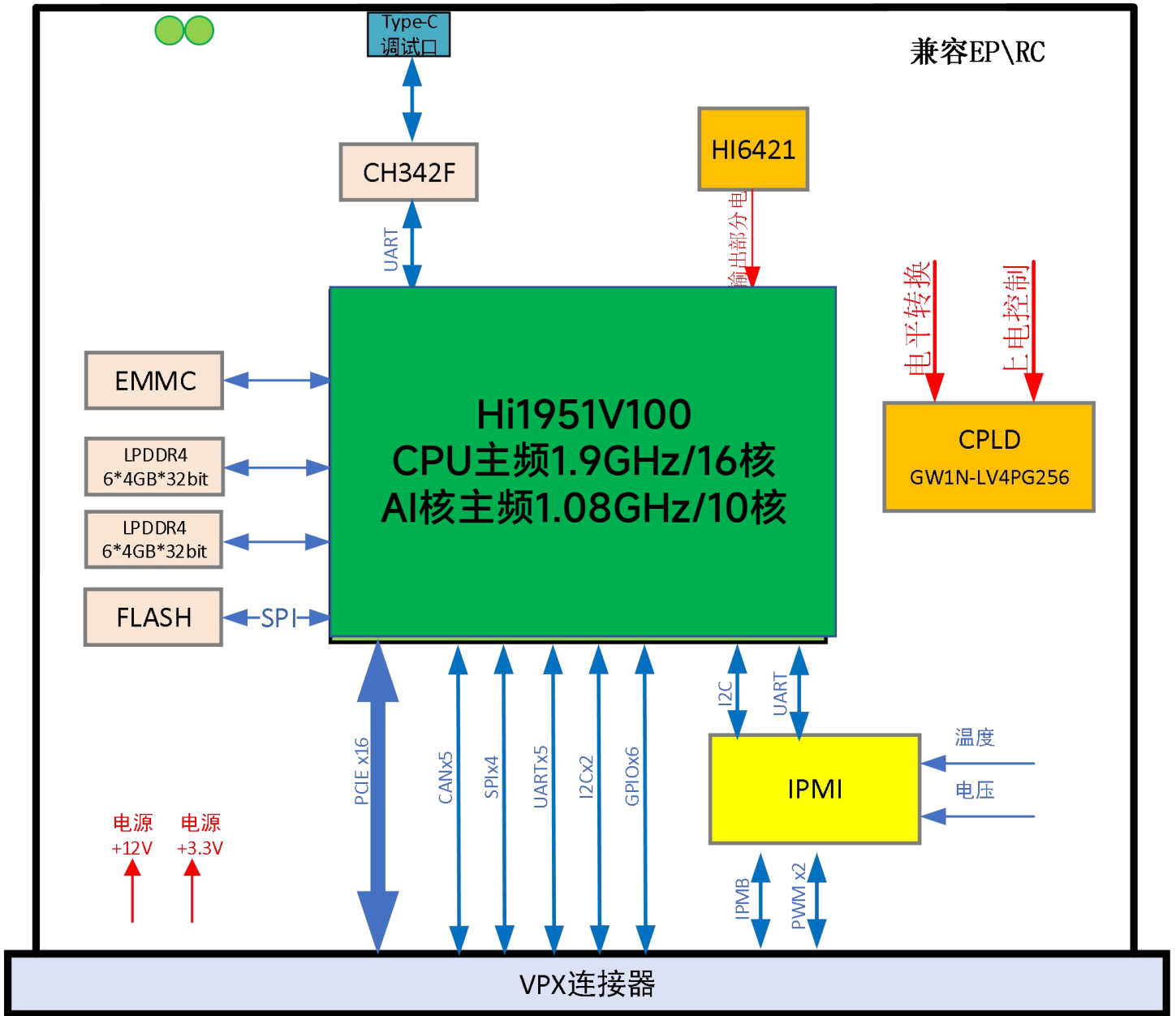
支持4K@192fps (FHD@1024fps) JPEG编码

支持 up/down scaling, crop, Chroma up/down sampling, color space conversion
(等效FHD 4320FPS)

AIV3X智能计算卡符合VPX VITA46标准，采用3U结构尺寸，前面板引出1路AI Type-C调试口以及一个复位开关，引出一个电源指示灯以及一个状态灯；通过VPX连接器输入PCIE x16接口，向下兼容PCIE x8。

AIV3X智能计算卡主要应用于边缘端的应用场景，最大可提供176TOPS INT8算力，满足边缘计算盒子，智能AI工控机的算力需求。

原理框图 Schematic Diagram



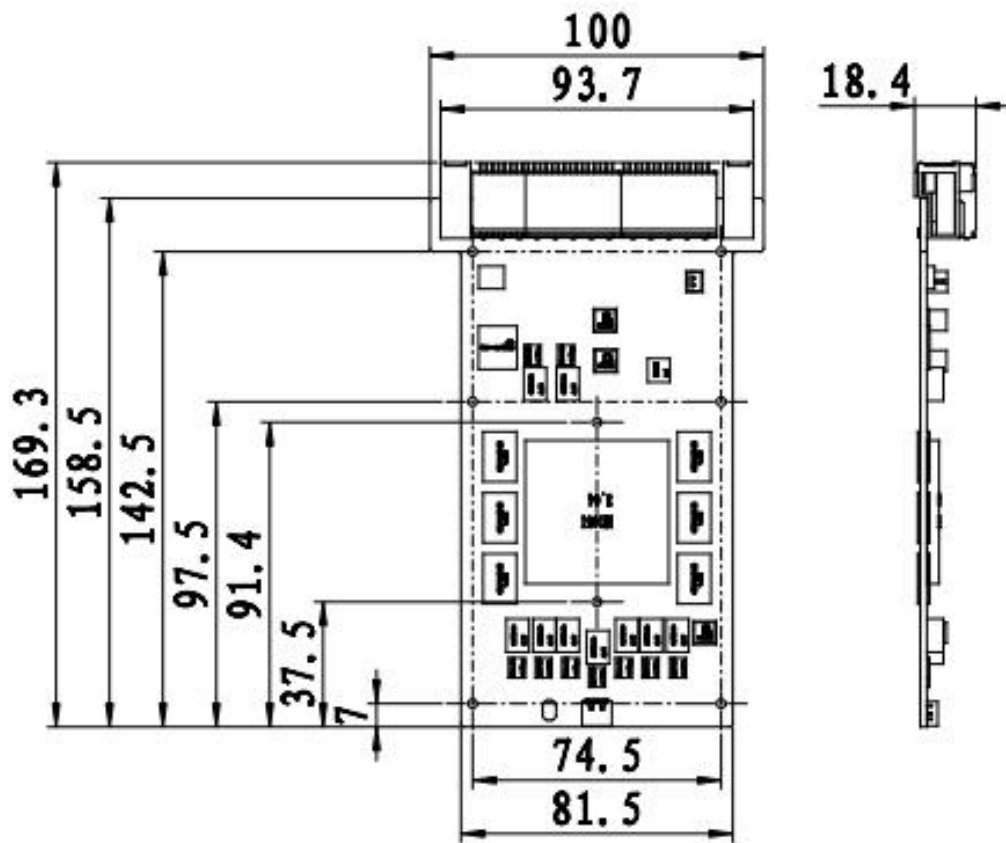
通用智能计算卡原理框图

产品结构及布局 Structure and Layout

AIV3X智能计算卡外形符合VPX板卡要求，可采用导冷散热、风冷散热方式。



AIV3X智能计算卡PCBA实物图



技术规格 Technical Specifications

序号	模块/类别	规格
1	处理器	昇腾310P
2	IPMI	(1) 板载IPMI, 可采集板卡温度、电压, 可控制板卡上、下电 (2) 提供2路I2C接口, 用于IPMI通信
3	显存	12颗32位LPDDR4X总容量48G
4	EMMC	板载128G颗粒
5	前出调试接口	Type-C接口
6	PCIe	VPX连接器引出, PCIE X16
7	指示灯接口	含有一个电源指示灯、一个状态指示灯
8	电源	支持 12V 直流供电
9	功耗	≤120W
10	重量	≤1Kg
11	尺寸	遵循VPX VITA46规范
12	环境适应性	-40°C~+65°C (工业级)
13	操作系统	搭配银河麒麟/欧拉驱动

连接器定义 Connector definition

连接器: P0 本侧型号: C1410189-3 对侧型号: C1410186-1(VPX_J0)							
	Row G	Row F	Row E	Row D	Row C	Row B	Row A
1	+12V	+12V	+12V	No Pad	+12V	+12V	+12V
2	+12V	+12V	+12V	No Pad	+12V	+12V	+12V
3	NC	NC	NC	No Pad	NC	NC	NC
4	IPMB_B_SCK	IPMB_B_SDA	GND	No Pad	GND	SYSRESE T*	NC
5	GAP*	GA4*	GND	+3.3V_A UX	GND	IPMB_A_S CK	IPMB_A_SD A
6	GA3*	GA2*	GND	NC	GND	GA1*	GA0*
7	NC	GND	NC	NC	GND	NC	NC
8	GND	NC	NC	GND	NC	NC	GND

连接器：P1 本侧型号：VPX20-1132-0001 对侧型号 C1410140-1 (VPX_BP_J1)							
	Row G	Row F	Row E	Row D	Row C	Row B	Row A
1	NC	GND	M_PCIE_T X8n /XGE0_TX n	M_PCIE _TX8p /XGE0_ TXp	GND	M_PCIE_ RX8n /XGE0_R Xn	M_PCIE_ RX8p /XGE0_R Xp
2	GND	M_PCIE_ TX9n /XGE1_T Xn	M_PCIE_T X9p /XGE1_TX p	GND	M_PCIE _RX9n /XGE1_ RXn	M_PCIE_ RX9p /XGE1_R Xp	GND
3	NC	GND	M_PCIE_T X10n /XGE2_TX n	M_PCIE _TX10p /XGE2_ TXp	GND	M_PCIE_ RX10n /XGE2_R Xn	M_PCIE_ RX10p /XGE2_R Xp
4	GND	M_PCIE_ TX11n /XGE3_T Xn	M_PCIE_T X11p /XGE3_TX p	GND	M_PCIE _RX11n /XGE3_ RXn	M_PCIE_ RX11p /XGE3_R Xp	GND
5	NC	GND	M_PCIE_T X12n /XGE4_TX n /SATA0_T Xn	M_PCIE _TX12p /XGE4_ TXp /SATA0_ TXp	GND	M_PCIE_ RX12n /XGE4_R Xn /SATA0_ RXn	M_PCIE_ RX12p /XGE4_R Xp /SATA0_ RXp
6	GND	M_PCIE_ TX13n /XGE5_T Xn /SATA1_ TXn	M_PCIE_T X13p /XGE5_TX p /SATA1_T Xp	GND	M_PCIE _RX13n /XGE5_ RXn /SATA1_ RXn	M_PCIE_ RX13p /XGE5_R Xp /SATA1_ RXp	GND
7	NC	GND	M_PCIE_T X14n /XGE6_TX n /SATA2_T Xn	M_PCIE _TX14p /XGE6_ TXp /SATA2_ TXp	GND	M_PCIE_ RX14n /XGE6_R Xn /SATA2_ RXn	M_PCIE_ RX14p /XGE6_R Xp /SATA2_ RXp
8	GND	M_PCIE_ TX15n /XGE7_T Xn /SATA3_ TXn	M_PCIE_T X15p /XGE7_TX p /SATA3_T Xp	GND	M_PCIE _RX15n /XGE7_ RXn /SATA3_ RXn	M_PCIE_ RX15p /XGE7_R Xp /SATA3_ RXp	GND

9	A310P_GPIO_53	GND	Hi1951_CAN1_RXD (目前不可使用)	Hi1951_CAN1_TXD (目前不可使用)	GND	Hi1951_CAN0_RXD	Hi1951_CAN0_TXD
10	GND	Hi1951_CAN3_RXD	Hi1951_CAN3_TXD	GND	Hi1951_CAN2_RXD	Hi1951_CAN2_TXD	GND
11	A310P_GPIO_54	GND	Hi1951_SPI0_CS0#	Hi1951_SPI0_CLK	GND	Hi1951_CAN4_RXD	Hi1951_CAN4_TXD
12	GND	Hi1951_SPI1_CS0#	Hi1951_SPI1_CLK	GND	Hi1951_SPI0_MISO	Hi1951_SPI0_MOSI	GND
13	A310P_RC_E_P_MD	GND	Hi1951_SPI2_CS0#	Hi1951_SPI2_CLK	GND	Hi1951_SPI1_MISO	Hi1951_SPI1_MOSI
14	GND	Hi1951_SPI3_CS0#	Hi1951_SPI3_CLK	GND	Hi1951_SPI2_MISO	Hi1951_SPI2_MOSI	GND
15	PCIE_RSTOUT#	GND	Hi1951_MDC0_DAT0	Hi1951_MDC0_CLK0	GND	Hi1951_SPI3_MISO	Hi1951_SPI3_MOSI
16	GND	NC	NC	GND	NC	NC	GND

连接器: P2 本侧型号: VPX20-1132-0001 对侧型号: C1410142-1 (VPX_BP_J2)							
	Row G	Row F	Row E	Row D	Row C	Row B	Row A
1	HKAD C_IN0	GND	M_PCIE_T X0n	M_PCIE_T X0p	GND	M_PCIE_ RX0n	M_PCIE_ RX0p
2	GND	M_PCI E_TX1n	M_PCIE_T X1p	GND	M_PCIE_ RX1n	M_PCIE_ RX1p	GND
3	HKAD C_IN1	GND	M_PCIE_T X2n	M_PCIE_T X2p	GND	M_PCIE_ RX2n	M_PCIE_ RX2p
4	GND	M_PCI E_TX3n	M_PCIE_T X3p	GND	M_PCIE_ RX3n	M_PCIE_ RX3p	GND
5	HKAD C_IN2	GND	M_PCIE_T X4n	M_PCIE_T X4p	GND	M_PCIE_ RX4n	M_PCIE_ RX4p
6	GND	M_PCI E_TX5 n	M_PCIE_T X5p	GND	M_PCIE_ RX5n	M_PCIE_ RX5p	GND
7	PCIE_R STIN#	GND	M_PCIE_T X6n	M_PCIE_T X6p	GND	M_PCIE_ RX6n	M_PCIE_ RX6p
8	GND	M_PCI E_TX7n	M_PCIE_T X7p	GND	M_PCIE_ RX7n	M_PCIE_ RX7p	GND
9	HI1951_ RSVD_ STRAP 4	GND	A310P_U ART1_RX	A310P_U ART1_TX	GND	A310P_U ART0_RX	A310P_U ART0_TX
10	GND	A310P_ UART3 _RX	A310P_U ART3_TX	GND	A310P_U ART2_R X	A310P_U ART2_TX	GND
11	HI1951_ RSVD_ STRAP 1	GND	PCIE_100 M_CLKn	PCIE_100 M_CLKp	GND	A310P_U ART4_RX	A310P_U ART4_TX
12	GND	Hi1951 _I2C3_ SDA	Hi1951_I2 C3_SCL	GND	Hi1951_I 2C2_SD A	Hi1951_I2 C2_SCL	GND
13	HI1951_ RSVD_ STRAP 0	GND	A310P_G PIO189	A310P_G PIO188	GND	A310P_G PIO185	A310P_G PIO184

14	GND	HI1951_ RC_RE FCLK0 n	HI1951_R C_REFCL K0p	GND	A310P_ GPIO28 0	A310P_G PIO264	GND
15	NC	GND	NC	NC	GND	NC	NC
16	GND	Hi1951 _I2C1_S DA(目 前不可 使用)	Hi1951_I2 C1_SCL (目前不可 使用)	GND	Hi1951_I 2C0_SD A(目前不 可使用)	Hi1951_I2 C0_SCL (目前不可 使用)	GND

信号定义说明

序号	信号名称	方向	电平	定义说明
1	P12V	P	12V	+12V电源输入, 12V±5%, 电流≥8A, 纹波≤50mV
2	P3V3_AUX	P	3.3V	+3V电源输入, +2.7V ~ +3.3V
3	GA[4:0]*、GAP			GA[4:0]*、GAP在主板上10K电阻上拉至+3.3V_AUX
4	SYSRESET	I	LVC MOS 3.3V	模组复位信号, 由HOST输入至模组
5	IPMB_I2CA/B	I/O	LVC MOS 3.3V	IPMC I2C接口, 已在模组内10K电阻上拉至3.3V_AUX
6	A310P_GPIOx	I/O	LVC MOS 3.3V	GPIO接口, RC模式时使能, EP模式时不生效
7	A310P_RC_EP_MD	I	LVC MOS 3.3V	模组PCIE接口RC/EP模式选择信号, 内部有上拉, 悬空表示选择为EP模式, 0欧姆电阻接地表示选择为RC模式;
8	PCIE_RSTIN#	I	LVC MOS 3.3V	PCIE复位信号, EP模式时由HOST输入至模组, RC模式时不生效
9	PCIE_RSTOUT#	O	LVC MOS 3.3V	PCIE复位信号, RC模式时由模组输出, EP模式时不生效
10	Hi1951_I2C0~3	I/O	LVC MOS 1.8V	I2C MASTER接口, 已在模组内4.7K电阻上拉至1.8V, RC模式时使能, EP模式时不生效
11	A310P_UART0/1/2/3/4_TX/RX	I/O	LVC MOS 3.3V	UART接口, RC模式时使能, EP模式时不生效
12	PCIE_100M_CLKINp/n	I	HCSL	PCIE参考时钟, EP模式时输入至模组
13	Hi1951_RC_RE_FCLK0 UTp/n	O	HCSL	PCIE参考时钟, RC模式时由模组输出
14	Hi1951_SPI0/1/2/3	I/O	LVC MOS 1.8V	SPI接口, RC模式时使能, EP模式时不生效
15	Hi1951_CAN0/1/2/3/4	I/O	LVC MOS 1.8V	CAN接口, RC模式时使能, EP模式时不生效, 使用时注意电平转换, 增加CAN收发器
16	Hi1951_MDC0_CLK/DAT	I/O	LVC MOS 1.8V	MDIO接口, 用于XGE接口通过PHY芯片转成电口, RC模式时使能, EP模式时不生效
17	M_PCIE_TX/RX[7:0]p/n	I/O	CML	PCIE4.0 x8接口, 可与M_PCIE_TX/RX[15:8]组成PCIE x16; EP模式时模组为PCIE从设备, RC模式时模组为PCIE HOST端; TX为模组输出, 已加0.22uF AC耦合电容, RX为模组输入
18	M_PCIE_TX/RX[15:8]p/n	I/O	CML	PCIE4.0 x8接口, 可与M_PCIE_TX/RX[7:0]组成PCIE x16; EP模式时模组为PCIE从设备, RC模式时模组为PCIE HOST端; 接口可复用成XGE、SATA等功能接口; TX为模组输出, RX为模组输入, 作为PCIE总线时, TX信号需要在载板上增加0.22uF AC耦合电容; 作为XGE接口时, RX信号需要在载板上增加0.01uF AC耦合电容; 作为SATA接口时, TX/RX信号需要在载板上增加0.01uF AC耦合电容;
19	XGE0~7	I/O	CML	万兆以太网serdes接口, 可配置为10G BASE-X; RC模式时可复用为XGE或PCIE host接口, 部分接口可复用为SATA接口; EP模式时可配置为PCIE device接口; TX为模组输出, RX为模组输入
20	SATA0~3	I/O	CML	SATA3.0接口, HOST端; RC模式下可以复用为PCIE host接口、或XGE接口; EP模式时可配置为PCIE device接口; TX为模组输出, RX为模组输入
21	M_HKADC_IN[2:0]	I	LVC MOS 1.8V	BOARD ID配置引脚, 详情见用户指南6.8.2章节
22	M_RSVD_STRAP4/1/0	I	LVC MOS 1.8V	系统引导方式选择, 内部有上拉, RC模式时使用, EP模式时不生效
23	NC预留引脚			预留引脚, 悬空

6 接口说明

6.1 SerDes接口

6.1.1 参考时钟

昇腾310P 3U智能计算卡作为EP模式使用时需要外供一组100MHz差分参考时钟，需要与HOST PCIE参考时钟同源，输入电平类型为HCSL。作为RC模式使用时模组对外提供一组100MHz差分参考时钟，用于PCIE外设参考时钟同源，输出电平类型为HCSL。

模块信号名	信号方向	信号类型	用途/描述
PCIE_100M_CLKINp	Input	HCSL	PCIE控制器100MHz参考时钟输入P端。
PCIE_100M_CLKINn	Input	HCSL	PCIE控制器100MHz参考时钟输入N端。
HI1951_RC_REFCLK Op	Output	HCSL	PCIE 100MHz参考时钟输出P端。
HI1951_RC_REFCLK On	Output	HCSL	PCIE 100MHz参考时钟输出N端。

时钟信号指标关键规格约束

关键规格	规格要求
占空比	50% ($\pm 5\%$)
Trise/Tfall (20%~80%)	<800ps
直流偏置电压	650mV~750mV
100MHz差分参考时钟频偏	$\pm 1\text{MHz}$ (100MHz)
时钟Buffer时钟源 100MHz晶振频偏	<50ppm

100MHz参考时钟输入不支持展频。

注：

1. 部分Clock Buffer芯片内部已集成匹配电阻，外部无需增加匹配电阻，选型时请仔细查阅对应芯片的器件手册。
2. 参考时钟引脚不使用时，通过50欧姆电阻接地。

6.1.2 SerDes数据

序号	信号名称	方向	电平类型	描述
1	M_PCIE_TX0p	O	CML	SerDes 发送差分数据0-7 模组已放置0.22uF耦合电容
2	M_PCIE_TX0n	O	CML	
3	M_PCIE_TX1p	O	CML	
4	M_PCIE_TX1n	O	CML	
5	M_PCIE_TX2p	O	CML	
6	M_PCIE_TX2n	O	CML	
7	M_PCIE_TX3p	O	CML	
8	M_PCIE_TX3n	O	CML	
9	M_PCIE_TX4p	O	CML	
10	M_PCIE_TX4n	O	CML	
11	M_PCIE_TX5p	O	CML	
12	M_PCIE_TX5n	O	CML	
13	M_PCIE_TX6p	O	CML	
14	M_PCIE_TX6n	O	CML	
15	M_PCIE_TX7p	O	CML	
16	M_PCIE_TX7n	O	CML	
17	M_PCIE_RX0p	I	CML	SerDes 接收差分数据0-7
18	M_PCIE_RX0n	I	CML	
19	M_PCIE_RX1p	I	CML	
20	M_PCIE_RX1n	I	CML	
21	M_PCIE_RX2p	I	CML	
22	M_PCIE_RX2n	I	CML	
23	M_PCIE_RX3p	I	CML	
24	M_PCIE_RX3n	I	CML	
25	M_PCIE_RX4p	I	CML	
26	M_PCIE_RX4n	I	CML	
27	M_PCIE_RX5p	I	CML	
28	M_PCIE_RX5n	I	CML	
29	M_PCIE_RX6p	I	CML	
30	M_PCIE_RX6n	I	CML	
31	M_PCIE_RX7p	I	CML	
32	M_PCIE_RX7n	I	CML	
33	M_PCIE_TX8p/XGE0_TXp	O	CML	SerDes发送差分数据8-11 复用为PCIE时，需要放置0.22uF耦合电容；
34	M_PCIE_TX8n/XGE0_TXn	O	CML	
35	M_PCIE_TX9p/XGE1_TXp	O	CML	
36	M_PCIE_TX9n/XGE1_TXn	O	CML	
37	M_PCIE_TX10p/XGE2_TXp	O	CML	
38	M_PCIE_TX10n/XGE2_TXn	O	CML	
39	M_PCIE_TX11p/XGE3_TXp	O	CML	
40	M_PCIE_TX11n/XGE3_TXn	O	CML	

41	M_PCIE_RX8p/XGE0_RXp	I	CML	SerDes 接收差分数据8-11 复用为XGE时，需要放置0.01uF耦合电容；
42	M_PCIE_RX8n/XGE0_RXn	I	CML	
43	M_PCIE_RX9p/XGE1_RXp	I	CML	
44	M_PCIE_RX9n/XGE1_RXn	I	CML	
45	M_PCIE_RX10p/XGE2_RXp	I	CML	
46	M_PCIE_RX10n/XGE2_RXn	I	CML	
47	M_PCIE_RX11p/XGE3_RXp	I	CML	
48	M_PCIE_RX11n/XGE3_RXn	I	CML	
49	M_PCIE_TX12p/XGE4_TXp/SATA0_TXp	O	CML	SerDes 发送差分数据12-15 复用为PCIE时，需要放置0.22uF耦合电容； 复用为SATA时，需要放置0.01uF耦合电容
50	M_PCIE_TX12n/XGE4_TXn/SATA0_TXn	O	CML	
51	M_PCIE_TX13p/XGE5_TXp/SATA1_TXp	O	CML	
52	M_PCIE_TX13n/XGE5_TXn/SATA1_TXn	O	CML	
53	M_PCIE_TX14p/XGE6_TXp/SATA2_TXp	O	CML	
54	M_PCIE_TX14n/XGE6_TXn/SATA2_TXn	O	CML	
55	M_PCIE_TX15p/XGE7_TXp/SATA3_TXp	O	CML	
56	M_PCIE_TX15n/XGE7_TXn/SATA3_TXn	O	CML	
57	M_PCIE_RX12p/XGE4_RXp/SATA0_RXp	O	CML	SerDes 接收差分数据12-15 复用为SATA时，需要放置0.01uF耦合电容 复用为XGE时，需要放置0.01uF耦合电容
58	M_PCIE_RX12n/XGE4_RXn/SATA0_RXn	O	CML	
59	M_PCIE_RX13p/XGE5_RXp/SATA1_RXp	O	CML	
60	M_PCIE_RX13n/XGE5_RXn/SATA1_RXn	O	CML	
61	M_PCIE_RX14p/XGE6_RXp/SATA2_RXp	O	CML	
62	M_PCIE_RX14n/XGE6_RXn/SATA2_RXn	O	CML	
63	M_PCIE_RX15p/XGE7_RXp/SATA3_RXp	O	CML	
64	M_PCIE_RX15n/XGE7_RXn/SATA3_RXn	O	CML	
65	PCIE_RSTIN#	I	L V C O M S 3.3V	EP模式输入PCIE复位信号，由PCIE HOST提供
66	PCIE_RSTOUT#	O	L V C O M S 3.3V	RC模式输出PCIE复位信号，供PCIE外设复位使用

可以根据Board ID选择SerDes应用模式

当作为EP模式时SerDes只能作为PCIE接口使用，支持PCIE 4.0 X16，可以降速降lane使用，此时Board ID需要配置为201。

注意：

1. 最高支持PCIE 4.0，向下兼容PCIE 3.0 /PCIE 2.0/ PCIE 1.0。
2. 最高支持PCIE X16，向下兼容PCIE X8/X4/X2。
3. 对于不使用的lane，可以悬空。

当作为RC模式时M_PCIE_TX/RX[7:0]只能作为PCIE接口使用，但M_PCIE_TX/RX[11:8]可复用为PCIE或XGE接口，M_PCIE_TX/RX[15:12]可复用为PCIE、XGE、SATA接口，此时Board ID需要根据具体应用场景进行配置。

图3-25 RC 模式下 SerDes 配置方案

Board Type	M0	M1	M2(PCIE)							M3(PCIE/xGE)				M4(PCIE/xGE/SATA)						
	Lane0-4	Lane0-4	LANE 0	LANE 1	LANE 2	LANE 3	LANE 4	LANE 5	LANE 6	LANE 7	LANE0	LANE1	LANE2	LANE3	LANE0	LANE1	LANE2	LANE3		
202	/	/	PCIE X8							PCIE X8										
203	/	/	PCIE X4			PCIE X4				PCIE X8										
204	/	/	PCIE X4							PCIE X8										
205	/	/	PCIE X2		PCIE X2		PCIE X4			PCIE X8										
206	/	/	PCIE X2		PCIE X2		PCIE X2		PCIE X2		PCIE X8									
207	/	/	PCIE X8							xGE0	xGE1	xGE2	xGE3	xGE4	xGE5	xGE6	xGE7			
208	/	/	PCIE X4			PCIE X4				xGE0	xGE1	xGE2	xGE3	xGE4	xGE5	xGE6	xGE7			
209	/	/	PCIE X4							xGE0	xGE1	xGE2	xGE3	xGE4	xGE5	xGE6	xGE7			
210	/	/	PCIE X2		PCIE X2		PCIE X4			xGE0	xGE1	xGE2	xGE3	xGE4	xGE5	xGE6	xGE7			
211	/	/	PCIE X2		PCIE X2		PCIE X2		PCIE X2		xGE0	xGE1	xGE2	xGE3	xGE4	xGE5	xGE6	xGE7		
212	/	/	PCIE X8							xGE0	xGE1	xGE2	xGE3	SATA0	SATA1	SATA2	SATA3			
213	/	/	PCIE X4			PCIE X4				xGE0	xGE1	xGE2	xGE3	SATA0	SATA1	SATA2	SATA3			
214	/	/	PCIE X4							xGE0	xGE1	xGE2	xGE3	SATA0	SATA1	SATA2	SATA3			
215	/	/	PCIE X2		PCIE X2		PCIE X4			xGE0	xGE1	xGE2	xGE3	SATA0	SATA1	SATA2	SATA3			
216	/	/	PCIE X2		PCIE X2		PCIE X2		PCIE X2		xGE0	xGE1	xGE2	xGE3	SATA0	SATA1	SATA2	SATA3		
217	/	/	PCIE X16																	

注意：

1. 表中的 PCIe 接口均支持降 Lane 使用，例如 PCIe X16 支持降 lane 到 PCIe X8/X4X2/X1，PCIe X2 支持降 lane 到 PCIe X1。
2. 只有 M3 的 Lane0 支持 PXE 制卡功能，若要使用 PXE 制卡必须将 M3 的 Lane0 外接已经适配的 PHY 芯片，并对外出千兆电口，且 PHY 芯片的 PHY ADD 需配置为 001，PHY 芯片需使用 8521 型号。
3. RC 模式下 M0 和 M1(HCCS)不支持使用，M2、M3 和 M4 的配置方式由 BoardType 确定。

EP（单 P）模式配置方式

在 EP（单 P）模式下 Board Type 可以配置为 200 和 201，此模式下 M0 和 M1（HCCS）不支持使用，M2+M3+M4 支持配置成 PCIe X16（支持降 Lane 到 PCIe X8/X4X2/X1）。

图3-26 EP（单 P）模式下 SerDes 配置方案

Board Type	M0	M1	M2(PCIe)							M3(PCIe/xGE)				M4(PCIe/xGE/SATA)				
	Lane0-4	Lane0-4	LANE 0	LANE 1	LANE 2	LANE 3	LANE 4	LANE 5	LANE 6	LANE 7	LANE0	LANE1	LANE2	LANE3	LANE0	LANE1	LANE2	LANE3
200	/	/	PCIe X16															
201	/	/																

6.1.3 PCB设计

时钟信号

工作速率：100MHz。

布线长度：根据对端驱动能力决定。

特征阻抗：差分 $100\pm 10\%$ ohm。

布线等长要求：差分对内 ± 5 mil。

建议布线要求：时钟信号四周包地处理

数据信号

工作速率：PCIE 4.0。

布线长度：全链路插损(bump2bump) $< -28\text{dB}/8\text{GHz}$ (实际请板级考虑高低温对插损的影响)。

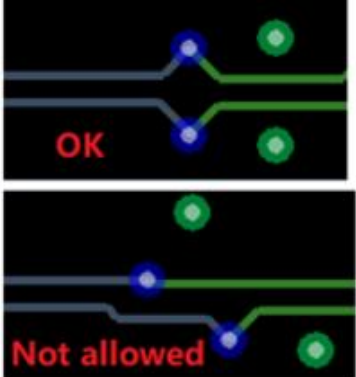
特征阻抗：差分 $90\pm 10\%$ ohm。

布线等长要求：

- 1) 差分对内保证等长：作为EP，板级误差2.5mil；作为RC，板级误差5mil；
- 2) TX差分对之间，skew要求小于200ps
- 3) RX差分对之间，skew要求小于200ps
- 4) TX/RX对间不要求等长

建议布线要求：

- 1) 差分信号尽量走在内层周围包地，上下相邻层有完整参考地；
- 2) TX与RX尽量分层走线，如果在同一层走线，TX/RX差分对之间必须包地隔离开，要求TX到RX之间的线间距达到6H（H：介质厚度）；
- 3) 任意TX或者RX信号所受到的所有串扰和要求小于1.5mV@8GHz, 2mV @16GHz；

差分对内 skew 补偿	如右图。	
回流地孔	换层处添加回流地孔，信号孔对称布局。	

6.2 SPI接口

6.2.1 SPI数据

昇腾310P 3U智能计算卡提供了4组SPI总线接口，IO电平为LVCMOS 1.8V，SPI接口仅在RC模式下可用。可以作为一个主设备与外部的设备来进行同步串行通信,主要应用于外接触摸屏、SD卡、WIFI和TPM等。

SPI接口具有以下特性：

- 1) 支持串行主设备操作；
- 2) 支持可编程数据传输速率，传输速率配置范围为200MHz/N ($8 \leq N \leq 65534$ ，偶数)，最高传输速率25MHz；
- 3) 支持MSTR/SLV操作，静态切换，在MSTR模式下，每个SPI控制器支持最大4个Slave；
- 4) 支持接口时钟频率可编程；
- 5) 收/发为分开的32bits宽、深度为64的FIFO（发送FIFO和接收FIFO各一个），支持FIFO禁止或使能；
- 6) 串行数据序列为先MSB，后LSB；
- 7) 支持三种帧格式：Motorola SPI、National Microwire、TI SSP；
- 8) 支持各种帧格式静态切换；
- 9) 数据帧大小可编程：4bit ~ 32bit；
- 10) 支持每个片选的有效极性可配置；
- 11) 支持一个组合中断连接到中断控制器，中断类型包括：接收FIFO中断、发送FIFO中断、传输冲突中断；
- 12) 支持初始中断状态查询和屏蔽后中断状态查询；
- 13) 支持关断SPI接口时钟以节省功耗；
- 14) 内部提供环回测试模式；
- 15) Motorola SPI帧格式时，串行时钟相位可配置；SPI传输时数据跟时钟的关系支持软件可配。

序号	信号名称	方向	IO电平	描述
1	SPI0_CLK	I/O	LVC MOS 1.8V	SPI0时钟信号 支持主从模式
2	SPI0_CS0#	I/O	LVC MOS 1.8V	SPI0片选信号 支持主从模式
3	SPI0_MOSI	I/O	LVC MOS 1.8V	SPI0数据输出信号 支持主从模式
4	SPI0_MISO	I/O	LVC MOS 1.8V	SPI0数据输入信号 支持主从模式
5	SPI1_CLK	I/O	LVC MOS 1.8V	SPI1时钟信号 支持主从模式
6	SPI1_CS0#	I/O	LVC MOS 1.8V	SPI1片选信号 支持主从模式
7	SPI1_MOSI	I/O	LVC MOS 1.8V	SPI1数据输出信号 支持主从模式
8	SPI1_MISO	I/O	LVC MOS 1.8V	SPI1数据输入信号 支持主从模式

注意：

1. SPI工作时，通过片选信号来选择相应的从机；
2. 进行同步串行数据传输时SPI按照数据高位在前，低位在后的方式传输；
3. 使用时注意电平匹配；
4. CLK串联22ohm，Data直连（建议预留0欧姆串联电阻）；
5. SPI不使用，引脚悬空即可；

6.2.2 PCB设计

工作速率：25MHz。

布线长度：走线长度 < 10 inch。

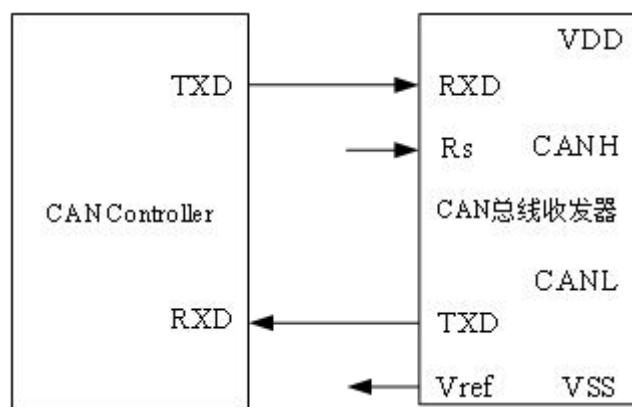
特征阻抗：40~50ohm。

6.3 CAN 接口

昇腾310P 3U智能计算卡算力模组提供了5组CAN总线接口，IO电平为LVCMOS 1.8V，CAN接口仅在RC模式下可用。

序号	信号名称	方向	IO电平	描述
1	HI1951_CAN0_RXD	I	LVCMOS 1.8V	CAN0的接收数据线
2	HI1951_CAN0_TXD	O	LVCMOS 1.8V	CAN0的发送数据线
3	HI1951_CAN1_RXD	I	LVCMOS 1.8V	CAN1的接收数据线(目前不可用)
4	HI1951_CAN1_TXD	O	LVCMOS 1.8V	CAN1的发送数据线(目前不可用)
5	HI1951_CAN2_RXD	I	LVCMOS 1.8V	CAN2的接收数据线
6	HI1951_CAN2_TXD	O	LVCMOS 1.8V	CAN2的发送数据线
7	HI1951_CAN3_RXD	I	LVCMOS 1.8V	CAN3的接收数据线
8	HI1951_CAN3_TXD	O	LVCMOS 1.8V	CAN3的发送数据线
9	HI1951_CAN4_RXD	I	LVCMOS 1.8V	CAN4的接收数据线
10	HI1951_CAN4_TXD	O	LVCMOS 1.8V	CAN4的发送数据线

CAN接口可以与具有 CAN 接口的设备通讯，也可以多个芯片组成控制网络，完成信息的传输、交互和控制功能。



CAN的典型应用框图

注意：

1. 使用时需要增加CAN收发器；
2. 使用时注意电平匹配；
3. 不使用时，引脚悬空即可；

6.4 UART接口

昇腾310P 3U智能计算卡算力模组提供了5组UART接口。A310P_UART1_TX/RX为业务串口，电平为LVCMOS 1.8V，且仅在RC模式下可用。

UART异步串行的通信接口，主要执行串并转换功能，将芯片发送到外围设备的数据进行并串转换，同时将来自外围设备的串行数据进行串并转换。该接口模块遵循RS232串行通信协议。业务UART具有以下特点：

- 1) 支持8 bits 宽、深度为 32 的发送 FIFO 和 12 bits 宽、深度为 32 的接收 FIFO，支持 FIFO 禁止或使能；
- 2) 支持5/6/7/8 bits 可编程数据位；
- 3) 支持1/2 bits 可编程停止位；
- 4) 支持奇、偶校验方式，支持无校验位，支持校验位固定为软件设定值；
- 5) 支持传送速率可编程，传送速率范围为：UART 总线时钟频率/ $(16 \times N)$ ($0 < N < 65536$ ，N 为整数，UART 总线时钟频率单位为 Hz)；
- 6) 支持一个组合中断连接到中断控制器，中断类型包括：接收 FIFO 中断、发送 FIFO 中断、接收超时中断、帧格式错误中断、帧校验错误中断、传输中止中断；
- 7) 支持初始中断状态查询和屏蔽后中断状态查询；
- 8) 支持关断UART 接口时钟以节省功耗；
- 9) 支持主从模式，9 bits UART。

序号	信号名称	方向	IO电平	描述
1	A310P_UART1_RX	I	LVC MOS 3.3V	UART1的接收数据线
2	A310P_UART1_TX	O	LVC MOS 3.3V	UART1的发送数据线
3	A310P_UART2_RX	I	LVC MOS 3.3V	UART2的接收数据线
4	A310P_UART2_TX	O	LVC MOS 3.3V	UART2的发送数据线
5	A310P_UART3_RX	I	LVC MOS 3.3V	UART3的接收数据线
6	A310P_UART3_TX	O	LVC MOS 3.3V	UART3的发送数据线
7	A310P_UART4_RX	I	LVC MOS 3.3V	UART4的接收数据线
8	A310P_UART4_TX	O	LVC MOS 3.3V	UART4的发送数据线
9	A310P_UART5_RX	I	LVC MOS 3.3V	UART5的接收数据线
10	A310P_UART5_TX	O	LVC MOS 3.3V	UART5的发送数据线

注意：

1. 使用时注意电平匹配；
2. 不使用时，引脚悬空即可；
3. 调试串口波特率115200bps，8位数据为，1位停止位，无奇偶校验位；

6.5 I2C接口

昇腾310P 3U智能计算卡算力模组提供了4组I2C总线接口，IO 电平为LVCOMS 1.8V，仅在RC模式下可用。实现标准I2C主设备功能，兼容Philips I2C总线协议，可完成对I2C总线上的从设备的数据发送和接收。主要用于音视频A/D、D/A等外部I2C器件的控制。

通用I2C接口具有以下特点：

- 1) 支持标准I2C总线协议；
- 2) 仅支持主设备操作；
- 3) 支持7bit和10bit从设备地址；
- 4) 支持可编程时钟，可实现通讯速率控制，支持100KHz、400KHz等常规速率，ISP内I2C 6/7支持1MHz；
- 5) I2C_DELAY功能可将I2C_SDA信号输出最大延迟约300ns，软件可配。

序号	信号名称	方向	IO电平	描述
1	Hi1951_I2C0_SCL	I/O	LVC MOS 1.8V	I2C0时钟，模组内部已有2.2K电阻上拉到1.8V(目前不可使用)
2	Hi1951_I2C0_SDA	I/O	LVC MOS 1.8V	I2C0数据，模组内部已有2.2K电阻上拉到1.8V(目前不可使用)
3	Hi1951_I2C1_SCL	I/O	LVC MOS 1.8V	I2C1时钟，模组内部已有2.2K电阻上拉到1.8V(目前不可使用)
4	Hi1951_I2C1_SDA	I/O	LVC MOS 1.8V	I2C1数据，模组内部已有2.2K电阻上拉到1.8V(目前不可使用)
5	Hi1951_I2C2_SCL	I/O	LVC MOS 1.8V	I2C2时钟，模组内部已有2.2K电阻上拉到1.8V
6	Hi1951_I2C2_SDA	I/O	LVC MOS 1.8V	I2C2数据，模组内部已有2.2K电阻上拉到1.8V
7	Hi1951_I2C3_SCL	I/O	LVC MOS 1.8V	I2C3时钟，模组内部已有2.2K电阻上拉到1.8V
8	Hi1951_I2C3_SDA	I/O	LVC MOS 1.8V	I2C3数据，模组内部已有2.2K电阻上拉到1.8V

注意：

1. 仅支持主模式，使用时注意电平匹配；
2. 不使用时，引脚悬空即可；

6.6 MDIO接口

6.6.1 MDIO

昇腾310P 3U智能计算卡算力模组提供了1路MDIO接口，仅在RC模式下可用。MDIO 是对外部以太网接口的 PHY 芯片进行配置和管理的接口控制模块，软件可以通过配置 MDIO 相应的寄存器实现对 PHY 芯片内部寄存器的读写，最终实现对 PHY 芯片的控制和管理。例如复位控制、自环控制、速度选择、双工选择、冲突测试、自协商使能、物理层状态获取等等。

MDIO 接口具有以下特性：

1. 支持1个独立的MDIO接口；
2. MDIO接口可独立配置为支持IEEE802.3协议的Clause22章节或Clause45章节；
3. 支持MDIO接口时序，MDIO时钟频率支持两个频点，2.5MHz、2MHz可选；
4. 支持对PHY内部寄存器的读写访问、PHY地址、寄存器地址等可配置；
5. 支持对GE PHY内部寄存器的自动查询，每个MDIO接口最大支持5个PHY器件的状态查询，PHY状态改变则上报中断（每个配置的PHY地址可以监控指定最多2个地址寄存器的任意指定位状态值是否发生改变）。

序号	信号名称	方向	IO电平	描述
1	Hi1951_MDC0_CLK 0	O	LVC MOS 1.8V	MDIO0 时钟信号，模组内部已有1K电阻上拉到1.8V
2	Hi1951_MDC0_DATA 0	I/O	LVC MOS 1.8V	MDIO0 数据信号，模组内部已有1K电阻上拉到1.8V

注意：

1. MDIO接口与外部PHY连接时，只需将两者的时钟线 and 数据线分别对接即可；
2. 目前只有MDC0接口可用，PHY地址不可为000，且不可重复；
3. 使用时注意点平匹配；
4. 不使用时，引脚悬空即可；

6.6.2 PCB设计

工作速率：12.5MHz(typ:2.5MHz)。

布线长度：链路长度<15 inch。

特征阻抗：40~50ohm。

布线等长要求：无严格等长约束，MDC/MDIO 一起走线；

建议布线要求：建议与其他接口信号包地隔离。

6.7 GPIO

昇腾310P 3U智能计算卡算力模组提供了8个通用GPIO接口，仅在RC模式下可用。

GPIO具有以下特点：

1. 支持对串行及低于32bit的并行数据总线进行模拟；
2. 每个信号有各自的数据寄存器和数据流方向寄存器；
3. 支持初始中断状态查询和屏蔽后中断状态查询；
4. 当每一组有多个中断同时发生的时候，将会统一汇集成一个中断进行上报；
5. `GPIO_INTTYPE_LEVEL`（中断类型寄存器）和 `GPIO_INT_POLARITY`（中断触发极性控制寄存器）两个寄存器共同决定了中断源的特性和中断触发类别，中断支持电平和双沿触发；
6. GPIO作为输入管脚时，可作为中断源，每个GPIO管脚具有独立的中断控制；
7. GPIO作为输出管脚时，每个GPIO管脚支持独立使能或关闭；

序号	信号名称	方向	IO电平	描述
1	A310P_GPIO53	I/O	LVC MOS 3.3V	通用GPIO
2	A310P_GPIO54	I/O	LVC MOS 3.3V	通用GPIO
3	A310P_GPIO184	I/O	LVC MOS 3.3V	通用GPIO
4	A310P_GPIO185	I/O	LVC MOS 3.3V	通用GPIO
5	A310P_GPIO188	I/O	LVC MOS 3.3V	通用GPIO
6	A310P_GPIO189	I/O	LVC MOS 3.3V	通用GPIO
7	A310P_GPIO264	I/O	LVC MOS 3.3V	通用GPIO
8	A310P_GPIO280	I/O	LVC MOS 3.3V	通用GPIO

注意：

- 1.使用时注意电平匹配。
- 2.接口不使用，引脚悬空处理即可。

6.8 配置信号

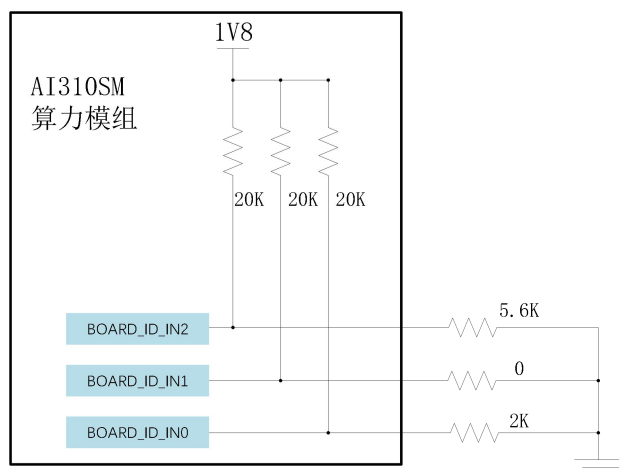
6.8.1 配置引脚

昇腾310P 3U智能计算卡算力模组提供了必要的模式配置引脚。

序号	信号名称	方向	IO电平	描述
1	A310P_RC_EP_MD	I	LVC MOS 1.8V	RC/EP 模式选择 1: EP 模式 0: RC 模式 模组内部上拉到1.8V，默认为EP模式 悬空表示选择为EP模式，0欧姆电阻接地表示选择为RC模式； 当配置为双模组模式时，两个模组的RC/EP必须配置为相同的模式
2	HI1951_RSVD_S TRAP0	I	LVC MOS 1.8V	HI1951_RSVD_STRAP[4,1:0] 系统引导方式选择，仅在RC模式时需要配置 000 核心板eMMC 001 PXE FTP 010 SATA0 011 NVME 模组内部上拉到1.8V，默认为TBD 配置时只需将相应引脚进行0欧姆电阻接地即可
3	HI1951_RSVD_S TRAP1	I	LVC MOS 1.8V	
4	HI1951_RSVD_S TRAP4	I	LVC MOS 1.8V	
5	HKADC_IN0	I	LVC MOS 1.8V	
6	HKADC_IN1	I	LVC MOS 1.8V	HKADC_IN[2:0] BOARD ID配置 模组内部通过20K电阻上拉到1.8V 配置时只需将相应引脚进行相应阻值电阻接地即可 EP模式时单模组使用必须配置为201； EP模式时双模组互联使用必须配置为220； RC模式根据具体应用需求进行配置；
7	HKADC_IN2	I	LVC MOS 1.8V	

6.8.2 BOARD ID配置

HKADC_IN[2:0]详细取值定义如下表推荐分压电阻阻值所示，其中昇腾310P 3U智能计算卡算力模组内部HKADC_IN[2:0]通过20K电阻上拉至1.8V，用户可通过载板不同取值的下拉电阻确定HKADC_IN[2:0]的取值。



Board_ID 为201配置示例图

取值	上拉电阻R1 (Kohm)	下拉电阻R2 (Kohm)
0	20	0
1		2
2		5.6
3		10
4		15
5		27
6		47
7		68
8		200
9		NC

不同Board ID对应应用场景如下表所示

端口名	规格	LINE	201	202	203	204	205	206	207	208	209	210	211	212	213	214	215	216	
SoC (RC)	M_PCIE_TX/RX[7:0] (PCIE)	PCIE lane0	PCIE16	PCIE8	PCIE4	PCIE4	PCIE2	PCIE2	PCIE8	PCIE4	PCIE4	PCIE2	PCIE2	PCIE8	PCIE4	PCIE4	PCIE2	PCIE2	
		PCIE lane1					PCIE2	PCIE2				PCIE2	PCIE2						
		PCIE lane2					PCIE2	PCIE2				PCIE2	PCIE2						
		PCIE lane3					PCIE2	PCIE2				PCIE2	PCIE2						
		PCIE lane4					PCIE2	PCIE2				PCIE2	PCIE2						
		PCIE lane5					PCIE2	PCIE2				PCIE2	PCIE2						
		PCIE lane6					PCIE2	PCIE2				PCIE2	PCIE2						
		PCIE lane7					PCIE2	PCIE2				PCIE2	PCIE2						
	M_PCIE_TX/RX[11:8] (PCIE,XGE)	x4	PCIE lane8	PCIE8	PCIE8	PCIE8	PCIE8	PCIE8	PCIE8	XGE0	XGE0	XGE0	XGE0	XGE0	XGE0	XGE0	XGE0	XGE0	XGE0
			PCIE lane9							XGE1	XGE1	XGE1	XGE1	XGE1	XGE1	XGE1	XGE1		
			PCIE lane10							XGE2	XGE2	XGE2	XGE2	XGE2	XGE2	XGE2	XGE2		
			PCIE lane11							XGE3	XGE3	XGE3	XGE3	XGE3	XGE3	XGE3	XGE3		
	M_PCIE_TX/RX[15:12] (PCIE,XGE,SATA)	x4	PCIE lane12	PCIE8	PCIE8	PCIE8	PCIE8	PCIE8	PCIE8	XGE4	XGE4	XGE4	XGE4	XGE4	SATA0	SATA0	SATA0	SATA0	SATA0
			PCIE lane13							XGE5	XGE5	XGE5	XGE5	XGE5	SATA1	SATA1	SATA1	SATA1	SATA1
			PCIE lane14							XGE6	XGE6	XGE6	XGE6	XGE6	SATA2	SATA2	SATA2	SATA2	SATA2
			PCIE lane15							XGE7	XGE7	XGE7	XGE7	XGE7	SATA3	SATA3	SATA3	SATA3	SATA3
										XGE7	XGE7	XGE7	XGE7	XGE7	SATA3	SATA3	SATA3	SATA3	SATA3

SoC (EP)																	
端口名	M_PCIE_TX/RX[7:0] (PCIE)							M_PCIE_TX/RX[11:8] (PCIE)					M_PCIE_TX/RX[15:12] (PCIE)				
规格	x8							x4					x4				
LINE	PCIE lane0	PCIE lane1	PCIE lane2	PCIE lane3	PCIE lane4	PCIE lane5	PCIE lane6	PCIE lane7	PCIE lane8	PCIE lane9	PCIE lane10	PCIE lane11	PCIE lane12	PCIE lane13	PCIE lane14	PCIE lane15	
201	PCIE16																
220	PCIE16																

注意:

1. 建议所有配置信号预留下拉电阻;
2. 单路EP模式配置为201, 双路EP模式配置为220;
3. 目前RC模式华为未正式开放具体应用配置, 以上配置仅供参考;

6.9 电源输入

昇腾310P 3U智能计算卡算力模组采用DC 12V进行供电。

序号	信号名称	方向	电平	描述
1	P12V	I	12V	+12V电源输入, 12V±5%, 电流≥10A, 纹波≤50mV
2	+3.3V_AUX	I	3.3V	+3.3V电源输入, +2.7V ~ +3.3V